

ЛЕКЦІЯ 6

Тема: СХЕМОТЕХНІКА ЦИФРОВИХ ЕЛЕМЕНТІВ. ДВІЙКОВІ ЛІЧИЛЬНИКИ, ТРИГЕРИ, РЕГІСТРИ

ПЛАН

4.1 Тригери

4.2 Двійкові лічильники

4.2.1 Загальна характеристика лічильників

4.2.2 Двійкові підсумовувальні та віднімальні лічильники

4.2.3 Двійкові реверсивні лічильники

4.3 Регістри

4.3.1 Загальна характеристика регістрів

4.3.2 Установлювальні мікрооперації

4.3.3 Записування інформації

4.3.4 Зчитування інформації

Час: 2 год.

Література: [2].

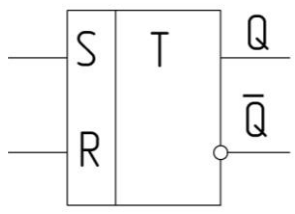
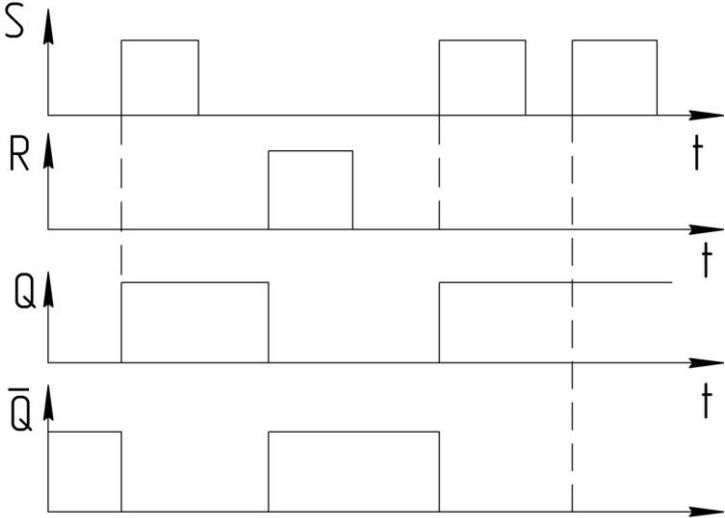
4.1 Тригери

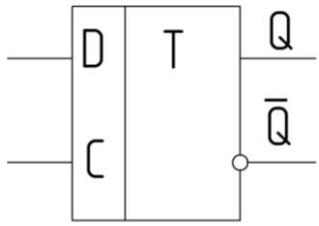
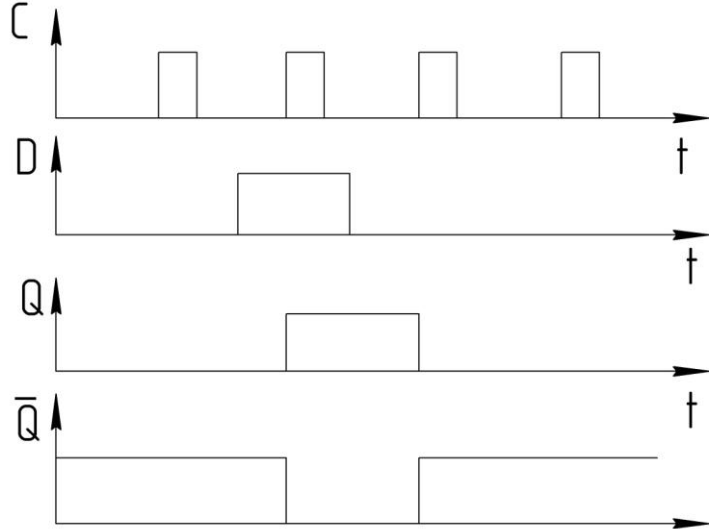
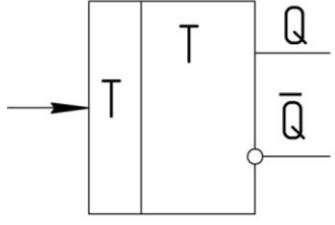
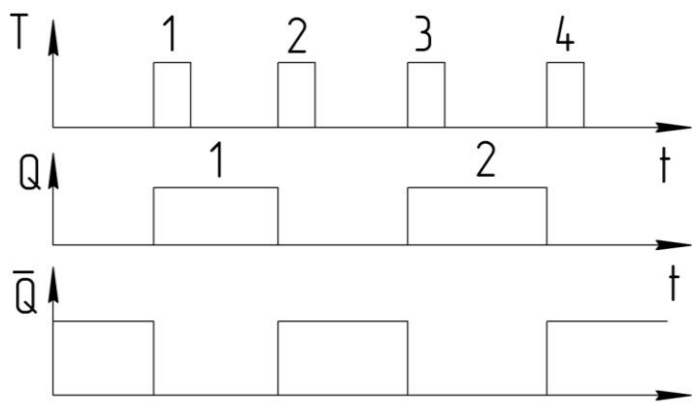
Тригером називають пристрій, що володіє двома станами стійкої рівноваги і здатний стрибком переходити з одного стану в інше під впливом зовнішнього керуючого сигналу.

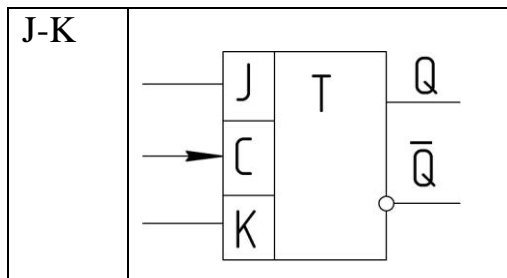
Класифікація по функціональній ознаці:

- **R-S тригер** – запам'ятовуючий елемент з роздільними інформаційними входами для установки його у відповідний стан "0" (R-вхід) і у стан "1" (S-вхід) ;
- **D тригер** – синхронний запам'ятовуючий елемент з двома сталими станами і одним інформаційним D-входом ;
- **T тригер** – запам'ятовуючий елемент з двома сталими станами і одним інформаційним T-входом. Стан T-тригера змінюється на протилежний після кожного приходу лічильного імпульсу на T-вхід;
- **J-K тригер** – запам'ятовуючий елемент з двома сталими станами і інформаційними входами J (аналог S) і K (аналог R), які забезпечують відповідно роздільну установку сигналів "1" і "0".

Таблиця 8 - Умовну графічне позначення й часові діаграми роботи тригерів.

| Тригер | Умовно графічне позначення | Тимчасові діаграми |
|--------|---|--|
| 1 | 2 | 3 |
| R-S |  |  |

| 1 | 2 | 3 |
|---|---|--|
| D |  |  |
| |  |  |



Класифікація по способу керування:

- асинхронні,
- тактируємі.

Характерні явища для тригерів

Перехід тригера з одного стійкого стану в інше відбувається при впливі керуючого сигналу й супроводжується стрибкоподібною зміною струмів і напруг. У цей час промисловість випускає тригери в інтегральному виконанні. Велику розмаїтість тригерів відрізняє функціональна ознака, що визначає поведінку тригера при впливі сигналу керування, а також застосований спосіб керування. По функціональній ознаці розрізняють тригери типів R-S, D, T, J-K і ін. По способу керування тригери підрозділяють на асинхронні й тактуючі. В асинхронних тригерах перемикання з одного стану в інше здійснюється безпосередньо з надходженням сигналу на інформаційний вхід. У тактируємих тригерах крім інформаційних входів є вхід тактових імпульсів. Їхнє перемикання здійснюється тільки при наявності розв'язного, тактуючого імпульсу. Тригери широко використовують при цифровій обробці інформації в пристроях вимірювальної техніки, автоматики й обчислювальної техніки як елементи пам'яті, лічильників і дільників імпульсів, регістрів і т.д.

R-S - тригери

Залежно від способу керування розрізняють асинхронні й тактируючі R-S - тригери.

Асинхронні R-S - тригери є найпростішими, однак вони одержали широке поширення в імпульсній техніці. Схема такого тригера має два виходи Q - прямий і \bar{Q} - інверсний.

Асинхронний R-S-Тригер, як і тригер будь-якого іншого типу, характеризується двома станами: логічної "1" і логічного "0". По інформаційному входу S здійснюється установка тригера в стан логічної "1", а по інформаційному входу R - установка (перевід) тригера у вихідний стан логічного "0". Цьому відповідають скорочені позначення входів і назва тригера: S - *set* (установка), R - *reset* (повернення у вихідний стан).

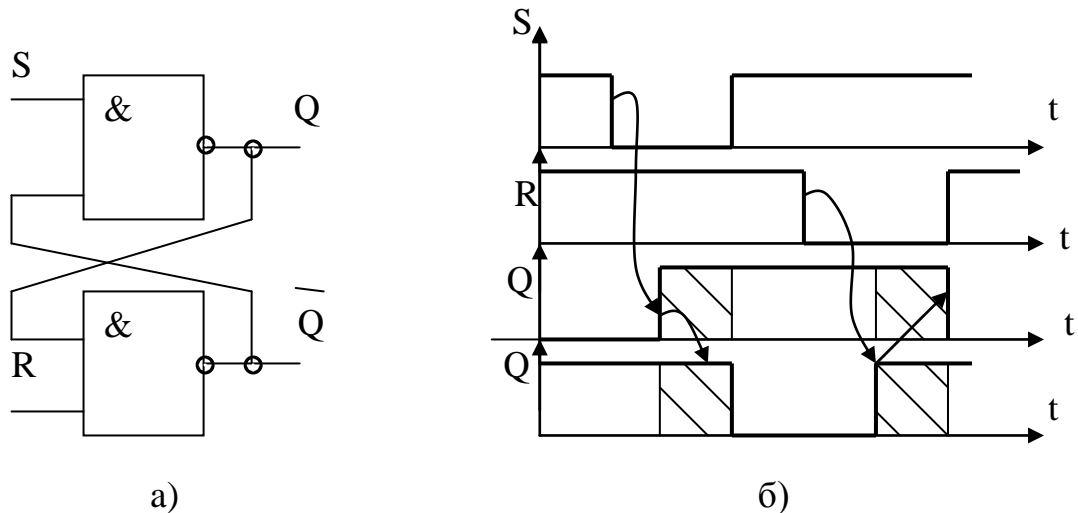


Рисунок 1 – Асинхронний R-S – тригер на елементах І-НІ:
 а)- схема;
 б) – часові діаграми

З аналізу діаграм роботи R-S – тригера виходить, що елементи І-НІ у схемі переключаються послідовно. Є інтервал часу, коли на обох виходах встановлюються однакові сигнали $Q=1$ і Q (рис. 1,б, заштриховані області) – явище “ризик”.

D - тригери

D - тригери мають один інформаційний вхід і вхід синхронізації (C-вхід) або тактовий вхід. Стану логічної "1" відповідає одиниця на вході тригера, а стану логічного "0" - нульовий рівень вхідного сигналу.

На рисунку 2 приведена схема D – тригера на елементах І-НІ і його часові діаграми роботи.

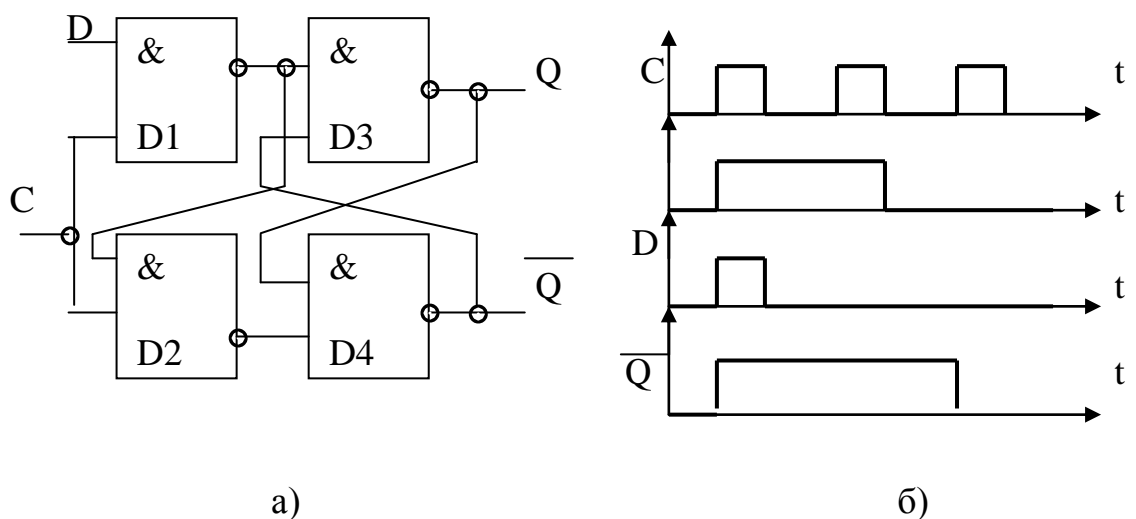


Рисунок 2 - D – тригери:
 а)- на елементах І-НІ;
 б)- часові діаграми роботи.

Перемикання тригера з одного стійкого стану в інше відбувається з появою синхронізуючого (тактового) імпульсу на вході C. Припустимо, що до

моменту приходу вхідного сигналу тригер перебував в стані логічного нуля ($Q = 0, \bar{Q} = 1$).

В інтервалі часу коли діє вхідний сигнал D, стан тригера не змінюється. Поява тактового імпульсу приводить до перемикання тригера в стан логічної одиниці. Стан "1" тригера не зміниться до моменту часу, коли з'явиться сигнал на вході C та викличе перемикання тригера в стан логічного "0".

Т-тригер

Характерною властивістю Т-Тригера є його перемикання в протилежний стан із приходом кожного чергового вхідного імпульсу. Через широке застосування в лічильниках імпульсів його часто називають тригером із лічильним запуском. Із приходом першого імпульсу на вхід Т тригер устанавлюється в стан "1". Другим імпульсом перемикається в стан "0" і т.д. Т-тригер здійснює поділення частоти вхідних імпульсів на два.

На рисунку 3 приведена схема Т – тригера на елементах І-НІ і його часові

діаграми роботи.

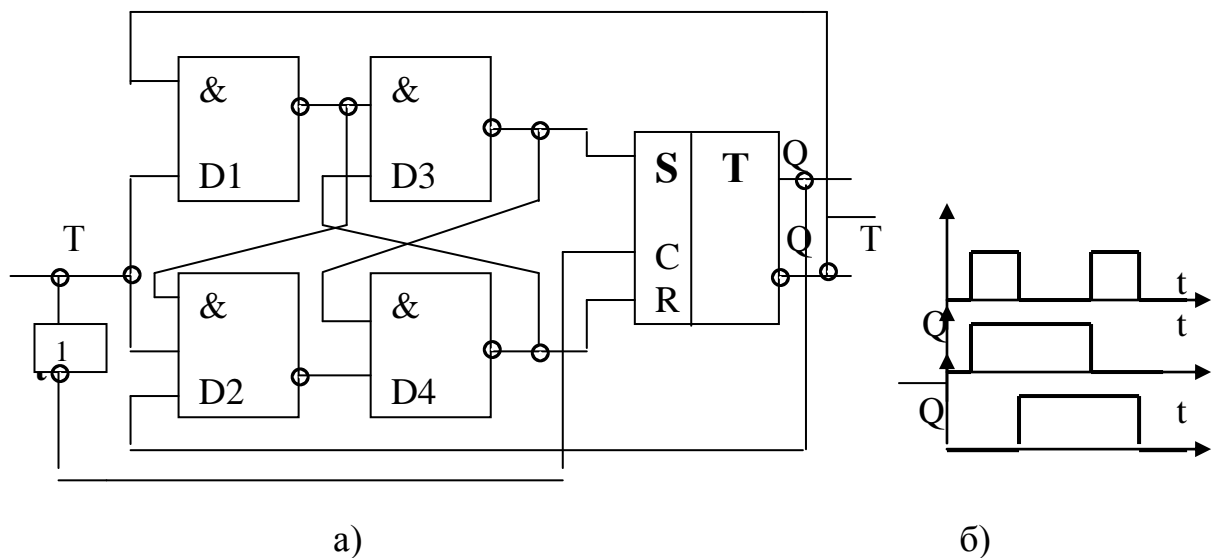


Рисунок 3 – Асинхронний двоступінчастий Т-тригер:

а)– на елементах І-НІ;

б)- тимчасові діаграми роботи

Надійні структури лічильних тригерів будують з використанням двоступінчастих тригерів або тригерів з динамічним керуванням по фронту сигналу С.

Асинхронний двоступінчастий Т-тригер включає в себе два синхронних R-S – тригери, при цьому на Т-вхід основної ступені подається зчитуємий сигнал, а входи R і S з'єднані відповідно з виходами Q і \bar{Q} допоміжної ступені.

Ж-К-тригер

Ж-К-Тригер одержують на основі Т-Тригера шляхом використання в його вхідних ланцюгах елементів І, що дозволяє мати два або кілька додаткових входів Ж і К.

Наявність додаткових входів розширює функціональні можливості тригера, у зв'язку, із чим Ж-К-Тригер називають універсальним. При відповідному підключенні входів Ж-К-Тригер, зокрема може виконувати функції R-S -тригера, - D тригера й Т-тригера. R-S-Тригер одержують подачею на вхід Ж сигналу S, а на вхід КО - сигналу R. Отриманий R-S-Тригер є тактируємим, D-Тригер створюється введенням інвертора в ланцюг входу К.

Тригер із лічильним запуском реалізується підключенням входів Ж і К к входу Т. Деякі D, Т та Ж-К-Тригери інтегрального виконання мають додаткові входи S і R, як зображено на рис. 4.

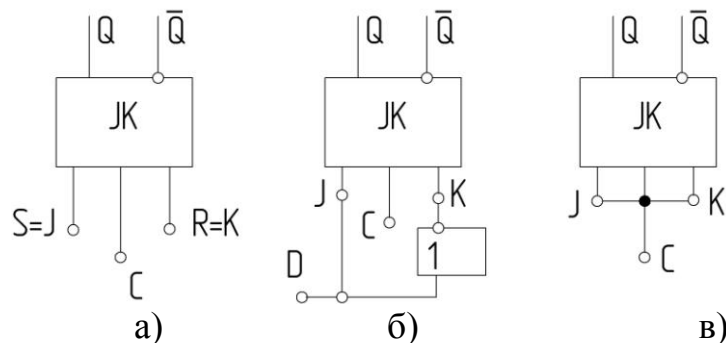


Рисунок 4 – Побудова на тригері Ж-К: а) тактируємого R-S тригера; б) D тригера; в) Т тригера.

4.2 Двійкові лічильники

4.2.1 Загальна характеристика лічильників

Функціональний типовий вузол комп'ютера, призначений для підрахунку вхідних імпульсів називається **лічильником**. Лічильник є зв'язаним ланцюгом Т-тригерів, які створюють пам'ять із заданим числом сталих станів (рисунок 4.1).

Вхідні імпульси можуть поступати на лічильник як періодично, так і довільно розподіленими в часі. Амплітуда і тривалість рахункових імпульсів повинні задовольняти технічним вимогам серій мікросхем, що використовуються.

Розрядність лічильника n рівна числу Т-тригерів. Кожен вхідний імпульс змінює стан лічильника, який зберігається до надходження наступного сигналу. Значення виходів тригерів лічильника Q_n, Q_{n-1}, Q_1 відображають результат рахунку в прийнятій системі числення.

Літерами *СТ* (*counter*) позначається логічна функція лічильника. Список мікрооперацій лічильника включає попередню установку в початковий стан, інкремент або декремент слова, що зберігається, видачу слів паралельним кодом тощо. Лічильник є одним з функціональних

основних вузлів комп'ютера, а також різних цифрових керуючих і інформаційно-вимірювальних систем.

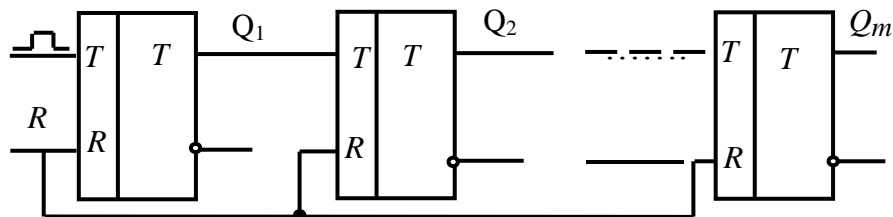


Рис. 4.1. Логічна структура лічильника

Основне застосування лічильників:

- утворення послідовності адрес команд програми (лічильник команд або програмний лічильник);
- підрахунок числа циклів при виконанні операцій ділення, множення, зрушення (лічильник циклів);
- отримання сигналів мікрооперацій і синхронізації; аналого-цифрові перетворення і побудова електронних таймерів (годинника реального часу).

Лічильник характеризується модулем і ємкістю рахунку. **Модуль рахування** $K_{\text{лч}}$ визначає число станів лічильника. Модуль двійкового n -розрядного лічильника виражається цілим ступенем двійки $M = 2^n$. Після підрахування числа імпульсів $N_{\text{вх}} = K_{\text{лч}}$ лічильник повертається в початковий стан. Таким чином, модуль рахування, який часто називають коефіцієнтом перерахування, визначає цикл роботи лічильника, після якого його стан повторюється. Тому число вхідних імпульсів і стан лічильника однозначно визначені тільки для першого циклу.

Ємкість рахування $N_{\text{мах}}$ визначає максимальну кількість вхідних імпульсів, яку може зафіксувати лічильник при одному циклі роботи. Ємкість рахування $N_{\text{мах}} = K_{\text{лч}} - 1$ за умови, що робота лічильника починається з нульового початкового стану.

У лічильниках використовуються три режими роботи: управління, накопичення і ділення. Зчитування інформації в режимі управління проводиться після кожного вхідного рахункового імпульсу, наприклад, в лічильнику адреси команд. У режимі накопичення головним є підрахунок заданого числа імпульсів або рахування протягом певного часу. У режимі ділення (перерахування) основним є зменшення частоти надходження імпульсів в $K_{\text{лч}}$ разів. Більшість лічильників можуть працювати в усіх режимах, проте у спеціальних лічильниках-дільниках стану в процесі рахування можуть змінюватися в довільному порядку, що дозволяє спростити схему вузла.

Лічильники класифікують за такими ознаками:

- способом кодування – позиційні і непозиційні;
- модулем рахування – двійкові, десяткові, з довільним постійним або змінним (програмованим) модулем;
- напрямком рахування – прості (що підсумовують, віднімають) і реверсивні;

- способом організації міжрозрядних зв'язків – з послідовним, наскрізним, паралельним і комбінованим перенесеннями (позикою);
- типом використовуваних тригерів – T, JK, D в рахунковому режимі;
- елементним базисом – потенційні, імпульсні і потенційно-імпульсні.

4.2.2 Двійкові підсумовувальні та віднімальні лічильники

Двійкові лічильники реалізують підрахунок вхідних імпульсів в двійковій системі числення. Число розрядів n двійкового лічильника, що підсумовує, для заданого модуля M знаходять з виразу $n = \log_2 M$. Значення поточного числа N^+ вхідних імпульсів n -розрядного підсумовувального лічильника при відліку з нульового початкового стану визначають по формулі

$$N^+ = \sum_{i=1}^n 2^{i-1} Q_i = 2^{n-1} Q_n + 2^{n-2} Q_{n-1} + \dots + 2^0 Q_1$$

де 2^{i-1} – вага i -го розряду;

$Q_i \in \{0,1\}$ – логічне значення прямого виходу тригера i -го розряду.

Розряди двійкового лічильника будуються на двоступеневих T -тригерах або D -тригерах з динамічним управлінням по фронту синхросигналу (у рахунковому режимі).

У двійковому лічильнику, що підсумовує, перенесення P_i у старший сусідній розряд Q_{i+1} виникає в тому випадку, якщо у момент надходження чергового рахункового імпульсу U^+ всі молодші розряди знаходяться в одиничному стані, тобто $P_i = U^+ Q_i Q_{i-1} \dots Q_1 = 1$. Після перенесення старший розряд перемикається в стан "1", а всі молодші розряди – в стан "0".

Асинхронні підсумовувальні лічильники на двоступеневих T -тригерах будуються так, щоб вхідні імпульси U^+ поступали на рахунковий вхід тільки першого (молодшого) розряду. Сигнали перенесення передаються асинхронно (послідовно в часі) з прямих виходів молодших розрядів на T -входи сусідніх старших, як показано на рис. 4.2а для трирозрядного лічильника.

Зміна станів тригерів відбувається за спадом рахункового імпульсу для першого розряду, а для останніх – за спадом сигналу перенесення (рис. 4.2б).

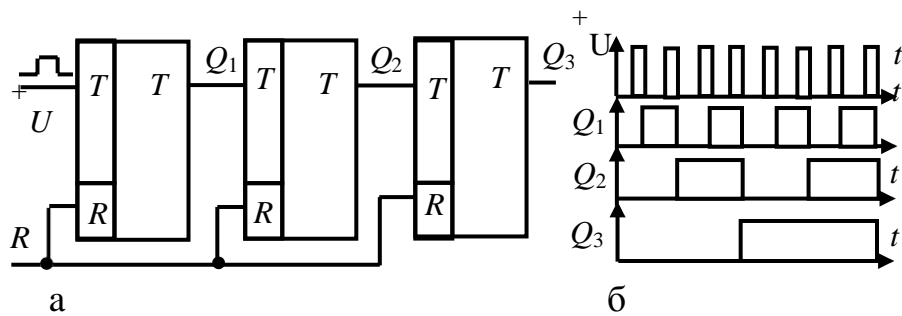


Рис. 4.2. Асинхронний підсумовувальний лічильник на двоступеневих Т-тригерах: а – схема; б – часова діаграма роботи

Після підрахунку семи імпульсів на виході трирозрядного лічильника встановлюється двійковий код $Q_3Q_2Q_1 = 111$ (тобто максимальне значення або ємність рахування). Після надходження восьмого входного імпульсу $U+$ трьохрозрядний лічильник, що підсумовує, перемикається в початковий нульовий стан послідовно (асинхронно) в часі: спочатку спадає напруга на виході Q_1 , потім – на виході Q_2 і так далі.

За допомогою імпульсу на вході скидання R лічильник повертається в нульовий стан у будь-який момент часу.

Часові параметри n -розрядного асинхронного лічильника на двоступеневих тригерах визначаються із співвідношень:

- роздільна здатність $t_{pz} = t_{T1} + t_{T2} = 2t_T$, де t_{T1} і t_{T2} – час перемикання першого і другого ступені тригера, причому $t_1 = -t_{T2} = t_T$;
- час встановлення $t_{уст} = t_{T1} + nt_{T2} \approx nt_T$;
- максимальна частота рахування в режимі ділення й управління відповідно: $F_m = 1/2t_T$; $F_m = kU / nt_T$.

У режимі управління швидкодія асинхронного лічильника приблизно в n разів менша, ніж в режимі ділення.

Схему трирозрядного асинхронного двійкового підсумовувального лічильника на Т-тригерах з динамічним управлінням по фронту показано на рис. 4.3. Рахункові імпульси $U+$ поступають на Т-вхід тільки першого (молодшого) розряду; подальші тригери перемикаються асинхронно від сигналів перенесення з інверсних виходів сусідніх молодших розрядів.

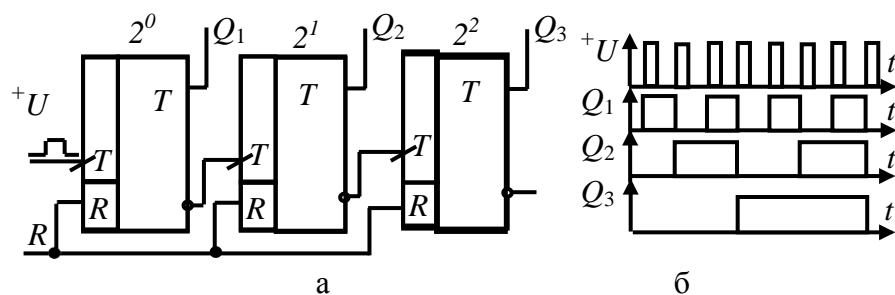


Рис. 4.3. Асинхронний підсумовувальний лічильник на тригерах з динамічним управлінням по фронту: а – схема; б – часова діаграма роботи

Тимчасові параметри асинхронного w -розрядного двійкового лічильника на тригерах з динамічним управлінням: $t_{pc} = t_T$, $t_{уст} = nt_T$, $F_m = 1/t_T$, $F_{m \cdot kU} = 1/nt_T$.

Перевагою асинхронних лічильників є простота схеми: збільшення розрядності проводиться підключенням необхідного числа тригерів. До недоліків асинхронних лічильників відносять порівняно низька швидкодія в режимі управління та її залежність від числа розрядів, а також поява проміжних вихідних двійкових кодів у процесі послідовного перемикавання тригерів у новий стан.

Для отримання мінімального часу перемикавання лічильника використовують паралельні перенесення (рис. 4.4). Для цього в кожному розряді синхронного лічильника є схема збігу, за допомогою якої аналізуються стани всіх попередніх молодших тригерів і виробляються функції перенесення згідно наступним логічним співвідношенням:

$$P_1 = UQ_1; P_2 = UQ_2Q_1; P_3 = Q_3Q_2Q_1; P_4 = Q_4Q_3Q_2Q_1$$

При надходженні чергового лічильного імпульсу $U+$ перемикаються тільки ті тригери, для яких усі попередні (молодші) розряди знаходяться у цей момент в одиничному стані.

Час встановлення синхронного лічильника не залежить від числа розрядів і дорівнює

$$t_B = t_{TT} + t_P,$$

де t_{TT} – час перемикавання двоступінчатого тригера;

t_P – час затримки розповсюдження сигналу вентилем у ланцюзі перенесення.

При побудові багаторозрядних синхронних лічильників з'являються труднощі, пов'язані зі зростанням числа входів вентилів у ланцюгу перенесення і збільшення навантаження на виходи тригерів.

У двійковому віднімальному лічильнику кожен імпульс $U-$, що віднімається, зменшує стан на одиницю. Поточне значення кількості вхідних імпульсів n -розрядного двійкового віднімального лічильника визначається за формулою

$$\sum U = N_n - N,$$

де N – значення коду на прямих виходах тригерів лічильника;

N_n – задалегідь записане початкове число.

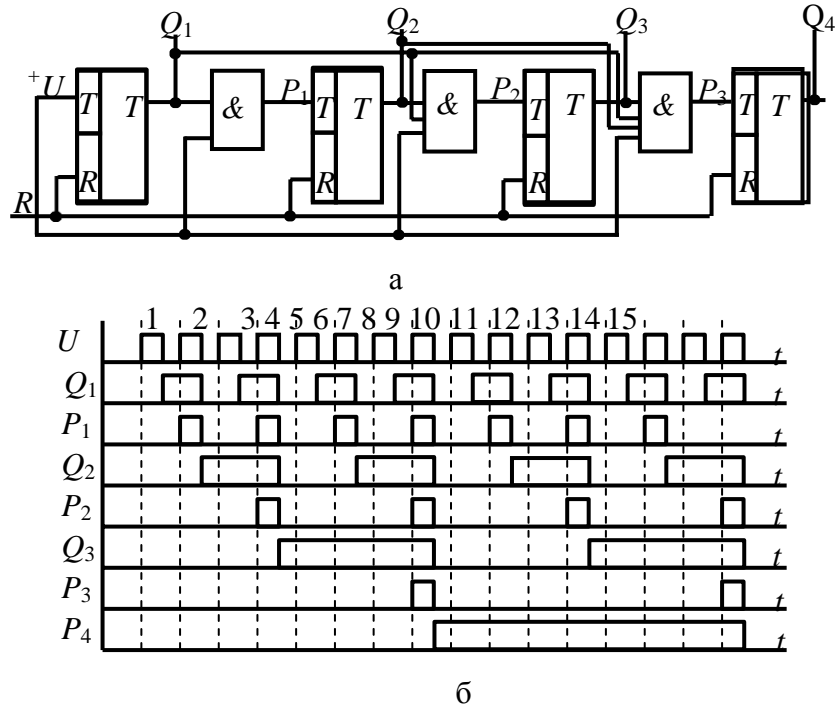


Рис. 4.4. Підсумовувальний лічильник з паралельними перенесеннями: а – схема, б – часова діаграма роботи

У віднімальних лічильниках сигнали віднімального зв'язку називаються *позиками*. За правилом двійкового віднімання у момент надходження рахункового імпульсу U – позичка зі старшого розряду з одиничним значенням виникає за умови, що всі молодші тригери знаходяться в нульовому стані. Після цього всі вони перемикаються в стан “1”, а старші – в стан «0». Сигнали позики утворюються на інверсних виходах двоступеневих тригерів або на прямих виходах тригерів з динамічним управлінням по фронту.

Параметри віднімального лічильника (модуль і ємкість рахування, швидкодія) співпадають з аналогічними характеристиками лічильників, що підсумовують.

Перед початком роботи за допомогою сигналу на загальному вході S всі тригери лічильника встановлюються в стан 1, утворюючи вихідний код 111. Імпульс U , що віднімається, поступає на рахунковий вхід тільки першого молодшого розряду, віднімальні сигнали позики знімаються асинхронно з інверсних виходів тригера.

Схему двійкового асинхронного віднімального лічильника на двоступеневих тригерах показано на рис. 4.5а.

Після надходження семи імпульсів, що віднімаються, всі тригери лічильника встановлюються в стан «0», утворюючи вихідний код 000. Восьмий імпульс, що віднімається, перемикає лічильник у стан 111 (за умови, що розглядається піднімальна схема).

У віднімальному лічильнику на тригерах з динамічним управлінням по фронту сигнали позики знімаються з прямих виходів тригерів.

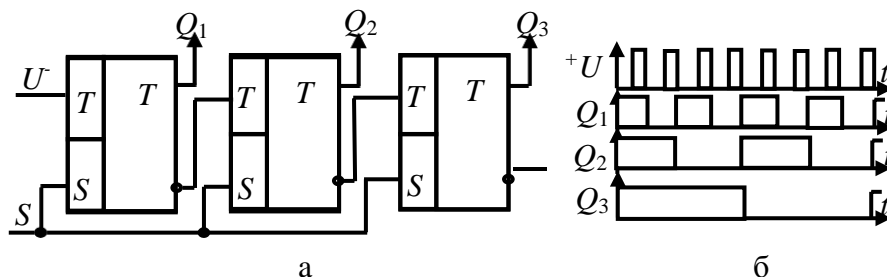


Рис. 4.5. Асинхронний віднімаючий лічильник на двоступеневих тригерах: а – схема; б – часова діаграма роботи

4.2.3 Двійкові реверсивні лічильники

Двійкові реверсивні лічильники мають переходи в двох напрямках: у прямому (за рахунок підсумовувальних сигналів $U+$) і в оберненому (за рахунок сигналів $U-$, що віднімаються). Поточне значення різниці підрахованих імпульсів визначається із співвідношення

$$\sum U^+ - \sum U^- = N - N_n,$$

де N – значення коду на прямих виходах тригерів лічильника;

N_n – заздалегідь записане до лічильника початкове число.

При рахуванні повинна виконуватися умова

$$\sum U^- \leq N_n + \sum U^+ \leq 2^n - 1$$

Розрізняють одноканальні і двоканальні реверсивні лічильники. З одноканальних реверсивних лічильників підсумовувані $U+$ і від'ємні $U-$ сигнали по черзі поступають на загальний рахунковий вхід, а напрямок рахування задається напрямком ланцюгів віднімальних перенесень або позик. Для перемикання віднімальних зв'язків у віднімальному реверсивному лічильнику потрібні додаткові управляючі сигнали.

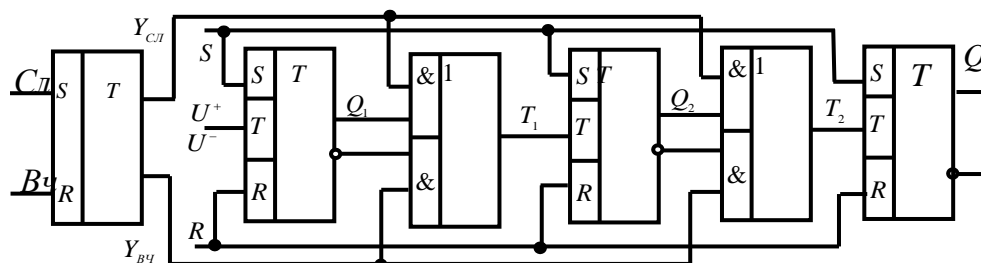


Рис. 4.6. Схема віднімального реверсивного лічильника

Двоканальні реверсивні лічильники мають два рахункових входи: один для підсумовуваних імпульсів $U+$ інший – для від'ємних $U-$. Перемикання ланцюгів віднімальних зв'язків здійснюється автоматично рахунковими

сигналами: для перенесень – імпульсами $U+$, для позики – імпульсами $U-$. Схема віднімального двійкового реверсивного лічильника показано на рис. 4.6.

Міжрозрядні зв'язки комутуються за допомогою логічних елементів І ЧИ.

Для завдання напрямку рахування використовують віднімальний RS -тригер: з його прямого виходу знімається сигнал управління додаванням $Y_{ск}$ (включає ланцюги перенесення), а з інверсного виходу – сигнал управління відніманням $Y_{від}$ (включає ланцюги позики). На виходах елементів І АБО (які називаються «Схеми реверсу») виробляється сигнал Γ , для рахункових входів старших розрядів:

$$T_i = Y_D Q_i \vee Y_B \overline{Q_i}, i = 1, 2, 3, \dots, n.$$

Таким чином, якщо управляючий RS -тригер знаходиться в стані «1», тоді лічильник реалізує режим прямого рахування вхідних імпульсів, (тобто підсумовування), інакше – забезпечує режим зворотного рахування (віднімання). В обох режимах роботи тригери перемикаються асинхронно.

На практиці з урахуванням можливостей схемотехніки мікросхем середнього ступеня інтеграції віднімальні реверсивні лічильники будуються у вигляді групової структури. При цьому кожна група представляється, наприклад, мікросхемою віднімального реверсивного лічильника з паралельними перенесеннями і позиками. Між групами можуть бути утворені послідовні або паралельні зв'язки.

4.3 Регістри

4.3.1 Загальна характеристика регістрів

Функціональний типовий вузол комп'ютера призначений для прийому, тимчасового зберігання, перетворення і видачі n -розрядного двійкового слова називається **регістром**.

Регістр містить регулярний набір однотипних тригерів, у кожному з яких зберігається значення одного двійкового розряду машинного слова. Найчастіше використовують тригери типів RS , JK і D (рис. 4.11).

Регістри, призначені тільки для прийому (запису), зберігання і передачі інформації, називаються *елементарними* або *фіксаторами*. Регістри, в яких зберігання даних поєднується з мікроопераціями зсуву, називаються *зсувними*. Елементарні регістри будують на одноступінчастих тригерах, а зсувні - на двоступінчастих або D -тригерах з динамічним управлінням

Логічна функція регістра позначається літерами RG (*register*). Регістри забезпечують зберігання команд, адрес пам'яті, результатів операцій, індексів і так далі.

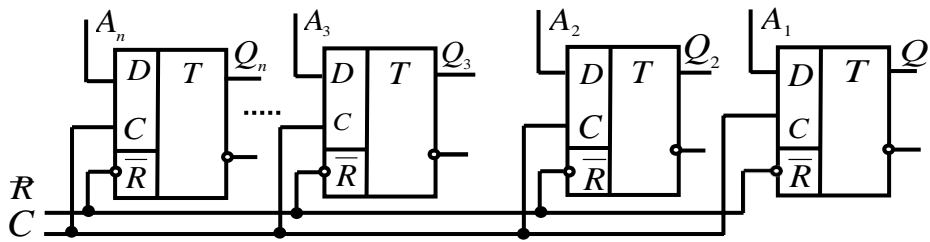


Рис. 4.11. Схема регістра на D-тригерах

Регістри класифікують за наступними ознаками:

- способом управління записування – асинхронні і синхронні;
- способом записування і видачі двійкових слів – паралельні, послідовні й універсальні; у паралельних регістрах записування і видача слів проводиться одночасно всіма розрядами, а в послідовних – розряд за розрядом в напрямку від молодших розрядів до старших або навпаки; універсальні регістри забезпечують як паралельний, так і послідовний обмін інформацією;
- числом ліній для представлення значення одного розряду слова (біта інформації) – однофазні і парафазні; при однофазному представленні значення кожного розряду слова передається по одній лінії зв'язку, а при парафазному – по двох лініях (одночасно відображається пряме і інверсне значення розряду);
- числом тактів для записування слова – одно-, двух- і багатотактні;
- складом виконуваних мікрооперацій – установлювальні, записування, зчитування, порозрядні логічні і зсув, а також перетворення послідовного коду в паралельний і навпаки;
- напрямком зсуву – односторонні (зсув ліворуч або праворуч) і двосторонні (реверсивні);
- типом використовуваних тригерів (RS , D , JK);
- елементною структурою – потенційні, імпульсні і потенційно імпульсні.

4.3.2 Установлювальні мікрооперації

Установлювальні мікрооперації служать для перемикання регістрів у певний стан. Наприклад, установка регістра в стан "0" або "1"; установка парних розрядів в стан "0", а непарних – в стан "1"; записування в регістр деякої константи або обнуління деяких байтів і так далі. Установлювальні мікрооперації переважно використовують асинхронні входи регістра, наприклад, вхід скидання R для схеми, зображеної на рис. 4.12.

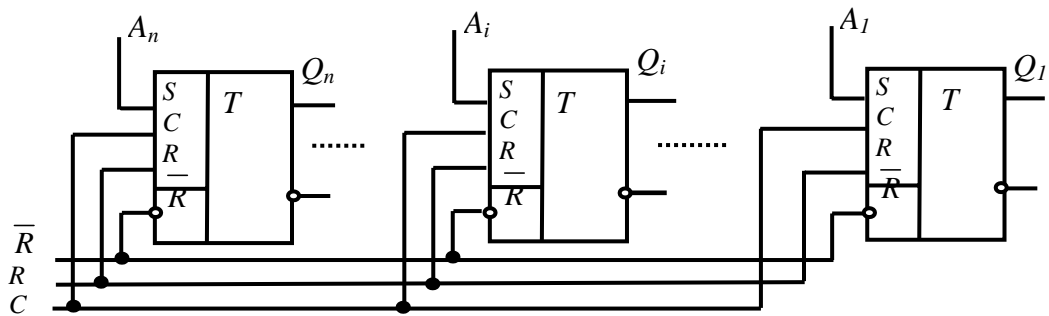


Рис. 4.12. Схема регістра з однофазним записуванням даних

У регістрах на *RS*- або *JK*- тригерах можливий однофазний або парафазний спосіб записування інформації. При однофазному записуванні значення кожного розряду слова $A = A_n, A_{n-1} \dots A_i, A_1$ поступає по одній лінії зв'язку на вхід *S* (або *J*) відповідних тригерів. Після зчитування інформації регістр повинен обнулитися по загальному *R*-входу (рис. 4.12). Таким чином, при однофазному записуванні частота обміну інформацією зменшується, оскільки процеси введення і скидання чергуються.

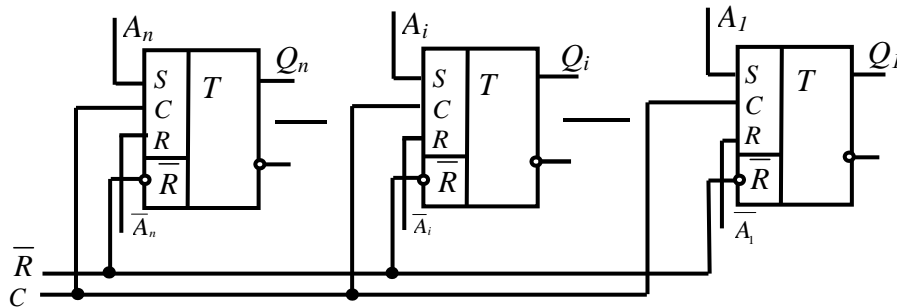


Рис. 4.13. Схема регістра з парафазним записуванням даних на *RS* – тригерах

При парафазному записуванні інформації значення кожного розряду слова A передається по двох лініях зв'язку. При цьому пряме значення A_i поступає на вхід *S* (або *J*) відповідних тригерів, а інверсне значення – на вхід *R*. В цьому випадку не вимагається попереднього скидання регістра в стан "0", тому що таку функцію виконує сигнал \bar{A}_i (рис.4.13).

У регістрах на *D*-тригерах, що мають один інформаційний вхід, можливий тільки однофазний спосіб записування інформації. З приходом чергового синхроімпульсу записується нова інформація або, за відсутності даних на входній шині, стан регістра автоматично обнуляється (див. рис. 4.11).

При необхідності збереження інформації на декілька тактів у регістрах на *D*-тригерах слід використовувати вирішуючий *V*-вхід, або блокувати проходження синхроімпульсу на *C*-вхід.

4.3.3 Записування інформації

Для записування інформації від декількох джерел (напрямкув) на вході кожного тригера ставлять додаткові комбінаційні схеми, які утворюють вхідну логіку регістра. Кожен напрямок має свою сукупність електричних ліній (**шину**), по яких передаються сигнали, що відображають значення розрядів слова. Якщо n -розрядне слово передається однофазним кодом, то шина має n ліній зв'язку, а якщо парафазним кодом – тоді $2n$ ліній. Записування кожного слова ініціюється відповідним сигналом Y_1 , що керує, Y_2 і так далі.

Для записування в регістр на RS -тригерах однофазним кодом слів A і B потрібно реалізувати наступні порозрядні функції збудження входу S_i :

$$S_i = Y_1 A_i \vee Y_2 B_i$$

де A_i і B_i – двійкові розряди слів A і B ;

Y_1 і Y_2 – сигнали управління приймання слів A і B відповідно.

Схему вхідної логіки i -го розряду регістра на основі рівняння показано на рис. 4.14.

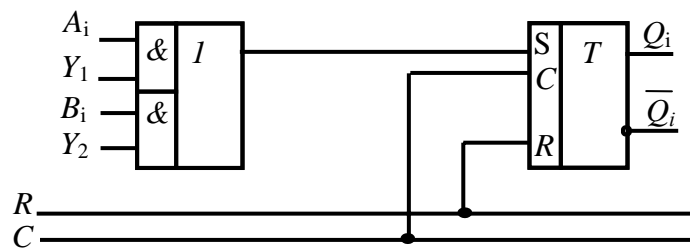


Рис. 4.14. Схема розряду регістра із записуванням від двох джерел однофазним кодом

4.3.4 Зчитування інформації

Інформація, що зберігається в регістрах, може передаватися у зовнішні схеми однофазним або парафазним способом в прямому або оберненому коді. Для реалізації мікрооперацій зчитування до виходів кожного тригера підключаються комбінаційні схеми, що утворюють вихідну логіку регістра.

Схеми вихідної логіки будуються на основі таких порозрядних логічних рівнянь:

- для зчитування прямим однофазним або зворотним кодом

$$III_i = Y_{ПР} Q_i \vee Y_{ОБ} \bar{Q}_i;$$

Схему вихідної логіки для i -го розряду на основі рівняння (4.8) показано на рис. 4.15.

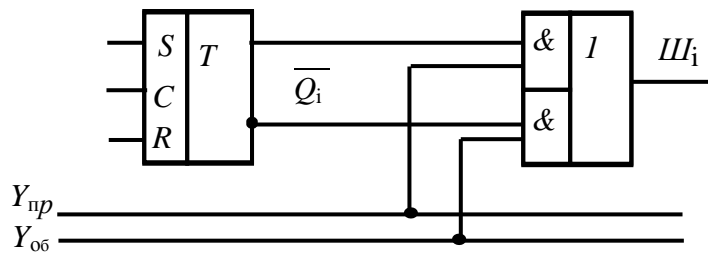


Рис. 4.15. Схема вихідної логіки i -го розряду регістра для зчитування інформації однофазним кодом

Контрольні запитання

1. Дати визначення терміну лічильник.
2. Які параметри характеризують лічильник як цифровий пристрій?
3. Логічна структура лічильника.
4. Призначення лічильників.
5. У чому полягає різниця між синхронними і асинхронними лічильниками?
6. За якими ознаками класифікують лічильники?
7. Графи лічильників.
8. Чим обмежується швидкодія лічильників з послідовним перенесенням?
9. Схеми і принцип роботи підсумовувальних лічильників.
10. Схеми і принцип роботи віднімальних лічильників.
11. Схеми і принцип роботи реверсивних лічильників.
12. Дати визначення терміну регістр?
13. За якими ознаками класифікують регістри?
14. Які логічні операції реалізуються в регістрах?
15. Охарактеризувати мікрооперації, які може виконувати регістр.
16. Ви маєте умовне зображення мікросхеми регістра з позначенням виведеннів. Яка ще потрібна інформація, щоб визначити режим її роботи?
17. Однофазний й парафазний способи записування інформації.
18. Схеми регістрів і принцип їх роботи.
19. Схеми записування регістрів від двох джерел.
20. Схеми вихідної логіки і способи зчитування інформації.